

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月24日

出 願 番 号

Application Number:

特願2002-309164

[ST.10/C]:

[JP2002-309164]

出 願 人

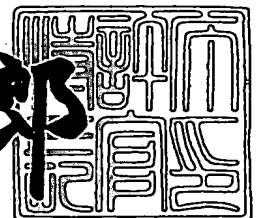
Applicant(s):

沖電気工業株式会社

2003年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3048790

【書類名】 特許願

【整理番号】 MA001406

【提出日】 平成14年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 三浦 規之

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板の上に位置する絶縁膜と、上記絶縁膜の上に位置するSOI膜とを有し、上記SOI膜中にソース、ドレイン及びチャネル領域が位置し、上記SOI膜の上記チャネル領域の上にゲート電極が位置し、上記ゲート電極と上記チャネル領域の間にゲート絶縁膜が位置し、上記ソース、ドレイン、チャネル領域、ゲート電極及びゲート絶縁膜によりNMOSFETが形成されている半導体装置において、

上記NMOSFETの上記ゲート電極がP型のポリシリコンで形成され、
上記SOI膜のチャネル領域がN型である
ことを特徴とする半導体装置。

【請求項2】 上記チャネル領域の不純物濃度が約 $1 \times 10^{17} / \text{cm}^3$ ～約 $1 \times 10^{18} / \text{cm}^3$ の範囲内にあることを特徴とする請求項1に記載の半導体装置。

【請求項3】 上記チャネル領域の不純物濃度が約 $3 \times 10^{17} / \text{cm}^3$ 程度であることを特徴とする請求項2に記載の半導体装置。

【請求項4】 上記NMOSFETのゲート絶縁膜の厚さが約1nm～約4nmであり、上記SOI膜の厚さが約10nm～40nmであることを特徴とする請求項1に記載の半導体装置。

【請求項5】 上記NMOSFETのゲート絶縁膜の厚さが2nm程度であり、上記SOI膜の厚さが20nm程度であることを特徴とする請求項4に記載の半導体装置。

【請求項6】 上記NMOSFETの上記ソース及びドレインが、N型の不純物を、約 $1 \times 10^{21} / \text{cm}^3$ 以上の濃度で含むものであることを特徴とする請求項1に記載の半導体装置。

【請求項7】 上記チャネル領域の長さが約0.1～0.25 μm であることを特徴とする請求項1に記載の半導体装置。

【請求項8】 上記チャネル領域の長さが0.15 μm 程度であることを特徴とする請求項7に記載の半導体装置。

【請求項 9】 半導体基板の上に位置する絶縁膜と、上記絶縁膜の上に位置する S O I 膜とを有し、上記 S O I 膜中にソース、ドレイン及びチャネル領域が位置し、上記 S O I 膜の上記チャネル領域の上にゲート電極が位置し、上記ゲート電極と上記チャネル領域の間にゲート絶縁膜が位置する半導体装置の製造方法において、

(a) 上記 S O I 膜に N 型の不純物を、濃度が $1 \text{ E } 17 / \text{cm}^3 \sim 1 \text{ E } 18 / \text{cm}^3$ の範囲内となるように、導入する工程と、

(b) 上記 S O I 膜のうちのチャネル領域を覆うように、上記ゲート絶縁膜及び上記ゲート電極を形成する工程と、

(c) 上記 S O I 膜のソース及びドレイン領域に、N 型の不純物を、濃度が $1 \text{ E } 21 / \text{cm}^3$ 以上となるように、導入する工程と
を有する半導体装置の製造方法。

【請求項 10】 上記工程 (a) において、N 型の不純物を、濃度が $3 \text{ E } 17 / \text{cm}^3$ 程度となるように、導入することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 上記チャネルの N 型の不純物がホウ素 (B) であることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 12】 上記半導体基板と上記 S O I 膜とが貼り合わせにより形成されるものであり、貼り合わせ前に上記工程 (a) の不純物導入を行なうことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 13】 (d) 上記半導体基板の上に位置する上記絶縁膜と、上記絶縁膜の上に位置する上記 S O I 膜とからなる S O I 基板を形成する工程をさらに有し、

上記工程 (d) の後で、上記工程 (a) の不純物導入を行なう

ことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、S O I (silicon on insulator) 構造の M O S F E T (金属-酸

化物-半導体-電界効果トランジスタ)を備えた半導体装置、及びその製造方法に関する。

【0002】

【従来の技術】

従来のSOIMOSFETの例が下記の特許文献1及び非特許文献1に示されている。

【0003】

【特許文献1】

特開2001-284590号公報

【非特許文献1】

アイ・イー・ディー・エム論文集第93号第723乃至726頁;リサ・テイー・スー他、「0.2 μ 未満のSOIMOSFETにおける直列抵抗の最適化」(Proc. IEDM 93, pp. 723 - 726; Lisa T. Su, et al. "Optimization of Series Resistance in Sub-0.2 μ m SOI MOSFETs")

【0004】

従来のSOIMOSFETにおいては、素子の微細化に伴いゲート長が短くなるにつれて、いわゆる短チャネル効果(SCE: short channel effect)により、ゲートしきい値電圧が低下するとともに、ゲート長の製造上のばらつきによるしきい値電圧の変動が大きくなるという問題があり、これに対して、SOI膜厚を薄くすることでSCE問題を改善しているのが一般的である。

【0005】

【発明が解決しようとする課題】

しかしながら、上記の短チャネル効果を抑制するためにSOI層を薄くすると、オフリーク電流が大きくなるという問題があり、省電力が重要な課題である携帯電話など携帯用機器においては、これが大きな問題であった。オフリーク電流を小さくするには、ゲートしきい値電圧を高める必要があり、そのためには、不純物濃度を高くする必要がある。しかし、不純物濃度を高くすると、キャリアの衝突頻度が高まるために移動度が低下し、駆動能力が下がるという問題がある。

【0006】

そこで、本発明の目的は、不純物濃度が高すぎることがないようにして、駆動能力の低下を抑制しながら、オフリーク電流を小さくすることにある。

【0007】

【課題を解決するための手段】

本発明の半導体装置は、SOI NMOSFETを備えるものであり、上記NMOSFETの上記ゲート電極がP型のポリシリコンで形成され、上記SOI膜のチャネル領域がN型であることを特徴とする。

【0008】

上記の半導体装置は、例えば、SOI膜にN型の不純物を、濃度が $1\text{E}17/\text{cm}^3 \sim 1\text{E}18/\text{cm}^3$ の範囲内となるように、導入し、次にSOI膜のうちのチャネル領域を覆うように、上記ゲート絶縁膜及び上記ゲート電極を形成し、SOI膜のソース及びドレイン領域に、N型の不純物を、濃度が $1\text{E}21/\text{cm}^3$ 以上となるように、導入することにより形成される。

【0009】

【発明の実施の形態】

以下、添付の図面を参照して本発明の実施の形態を説明する。図1はこの発明の一実施の形態の、SOI (silicon on insulator) 構造の電界効果トランジスタ (MOSFET) を備えた半導体装置を示す概略断面図である。

【0010】

この半導体装置は、例えばシリコンで形成された半導体基板101と、半導体基板101の上に位置し、例えば酸化シリコン (SiO_2) で形成された絶縁膜 (BOX膜) 102と、絶縁膜102の上に位置し、例えばシリコンで形成された半導体膜 (SOI膜) 103とを有する。SOI膜103の厚さは、約 $10\text{nm} \sim 40\text{nm}$ であり、好ましくは、上記SOI膜に形成されるNMOSFETが完全空乏型MOSFETとなる、 20nm 程度である。

【0011】

SOI膜103には、MOSFETのソース104と、ドレイン105と、これらの間に位置するチャネル領域106とが形成されている。ソース104及びドレイン105の上面にはそれぞれチタンサリサイド (TiSi_2) 膜114及

び115が形成されている。

【0012】

チャネル領域106の上には、ゲート電極107が位置しており、ゲート電極107とチャネル領域106との間に、ゲート絶縁膜108が位置している。さらに、ゲート電極107の上面にはチタンサリサイド (TiSi_2) 膜117が形成され、ゲート電極107及びゲート絶縁膜108の両側には、サイドウォールスペーサ110が配置されている。

【0013】

上記のうち、ソース104、ドレイン105、チャネル領域106、ゲート電極107、ゲート絶縁膜108及びサイドウォールスペーサ110によりSOI NMOSFETが形成されている。

【0014】

このようなSOIMOSFETは隣接する他の素子例えば同様のSOIMOSFETから、例えばLOCOS (local oxidation of silicon) 又はSTI (shallow trench isolation) で形成された素子分離膜111により分離されている。

【0015】

SOI膜103、ゲート電極107及び素子分離膜111は、層間絶縁膜121で覆われており、この層間絶縁膜121の上に金属配線124及び125が位置しており、金属配線124及び125は、それぞれ絶縁膜121を貫通するコンタクトプラグ126及び127により、ソース104及びドレイン105上面のサリサイド膜114及び115に接続されている。コンタクトプラグ126及び127は例えばタングステンで形成されている。

【0016】

ソース104及びドレイン105は、 N^+ 型であり、不純物として砒素 (As) が用いられ、濃度は、約 $1\text{E}21/\text{cm}^3$ 以上 ($1\text{E}21/\text{cm}^3$ は $1 \times 10^{21}/\text{cm}^3$ を表す。本明細書の他の個所及び添付の図面においても同様である。)、好ましくは $2\text{E}21/\text{cm}^3$ 程度である。チャネル領域106は、N型であり、不純物として同じく砒素 (As) が用いられ、濃度は、約 $1\text{E}17/\text{cm}^3 \sim 1\text{E}18/\text{cm}^3$ の範囲内にあり、好ましくは $3\text{E}17/\text{cm}^3$ 程

度である。SOI膜103中の不純物濃度のプロファイル（チャネルの長手方向の濃度分布）は図2のごとくである。同図において、曲線Asは砒素濃度を示し、曲線Caはキャリア濃度を示す。

【0017】

ゲート電極106は、P型（ P^+ 型）ポリシリコンで形成され、不純物としてホウ素（B）が用いられる。

ゲート絶縁膜107としては、酸化シリコン（ SiO_2 ）が用いられており、その厚さは約1nm～約4nmであり、好ましくは2nm程度である。

【0018】

本実施の形態のSOIMOSFETは、S値が70mV/decであり、ゲート長が約0.1～0.25 μ mの範囲内にあり、例えば0.15 μ m程度であり、ゲートしきい値電圧 V_t は約0.36Vであり、単位ゲート幅当りのオフリーク電流即ち正規化オフリーク電流（ I_{off}/W ）は $1E-11$ A/ μ mである。なお、以下の説明では正規化オフリーク電流を単にオフリーク電流と言うこともある。またゲートしきい値電圧としては、定電流法で定義されたもの（ V_t ）と、反転層の形成によって定義されるもの（ V_{th} ）とがあるが、両者は略一致している。

【0019】

定電流法で定義されるゲートしきい値電圧は、所定の電流 $I_t = 0.1 \times (W/L) \times 1E-6$ (A) が流れたときのゲート電圧をしきい値電圧 V_t と定義される。本実施の形態では、ゲート長が0.15 μ mであるので、ゲート幅Wを μ mで表した場合、単位ゲート幅当りの電流即ち正規化電流が

$$\begin{aligned} I_t/W &= 0.1 \times (1/0.15) \times 1E-6 \text{ (A)} \\ &= 6.67E-7 \text{ (A}/\mu\text{m)} \end{aligned}$$

となったときのゲート電圧がしきい値電圧 V_t と定義される。

【0020】

定電流法で定義されたゲートしきい値電圧 V_t はオフリーク電流 I_{off} と直接的に関係付けられているので、オフリーク電流 I_{off} を検討する際は、定電流法によるゲートしきい値電圧を用いるのが便宜である。一方、MOSFETを

構成する各部の材料、MOSFET内の不純物濃度としきい値電圧との関係を検討する場合には、反転層の形成により定義されるしきい値電圧を用いる方が便宜である。但し、反転層の形成により定義されるしきい値電圧は、ゲート長が $5\mu\text{m}$ 程度以上のMOSFETについてはチャンネルの不純物濃度、ゲート電極の材料、ゲート絶縁膜の厚さなどに基づく計算で比較的正確に求められるが、ゲート長が $1\mu\text{m}$ 程度以下では、ショートチャンネル効果(SCE)を考慮に入れたシミュレーションによりその低下(ロールオフ)を推測する必要がある、簡単には求まらない。

【0021】

図3は上記のようにゲート電極を P^+ ポリシリコンで形成し、チャンネル領域をN型とし、その不純物濃度を $3\text{E}17/\text{cm}^3$ としたMOSFETの、シミュレーションによって求めた、ゲート長としきい値電圧との関係を示す。ゲート電極は P^+ 型であり、その仕事関数が 5.27eV である場合を想定している。同図で曲線T1は、本実施の形態のようにチャンネル領域の不純物濃度を $3\text{E}17/\text{cm}^3$ とした場合を示し、曲線T0は、チャンネル領域の不純物濃度が略0(或いは十分に低い、即ち $1\text{E}11/\text{cm}^3$ 以下)の場合である。

【0022】

図示のように、ゲート長が約 $0.4\mu\text{m}$ 以上の領域では、不純物濃度が略0の場合(曲線T0)は、しきい値電圧が 0.73V 程度であるが、不純物導入により、曲線T1で示すように、しきい値電圧が約 0.3V 下がり、約 0.44V となっている。ゲート長が $0.4\mu\text{m}$ 以下の領域では、しきい値電圧は低下する。曲線T1の場合、 $0.2\mu\text{m}$ で約 0.4V 、 $0.15\mu\text{m}$ で約 0.36V となっている。不純物濃度が略0場合も、不純物濃度を $3\text{E}17/\text{cm}^3$ の場合と同じように低下する。

【0023】

このように、図3は、N型の不純物濃度を高めることによりしきい値電圧が低下すること、N型の不純物濃度によってしきい値電圧を調整し得ることを示している。

【0024】

上記のように、定電流法で定義されるしきい値電圧 V_t と正規化オフリーク電流 (I_{off}/W) とは互いに関係付けられており、しきい値電圧 V_t が大きくなると正規化オフリーク電流 (I_{off}/W) が小さくなる。例えば、完全空乏型 MOSFET では、 S 値は $70 \text{ mV}/\text{dec}$ であるのが一般的であり、定電流法で定義されるしきい値電圧が 0.337 V であると、正規化オフリーク電流 (I_{off}/W) が $1 \text{ E}-11 \text{ A}/\mu\text{m}$ となる。従って、しきい値電圧は 0.337 V より大きいことが望ましく、上記のように 0.36 V であればこの条件を満たしている。

【0025】

このように、本実施の形態では、ゲート電極を P^+ ポリシリコンで形成し、 SOI 膜 103 のチャネル領域を構成するボディ部を N 型とすることで、しきい値電圧を 0.36 V 程度として、正規化オフリーク電流 (I_{off}/W) を抑制するとともに、チャネル領域の不純物濃度を $3 \text{ E} 17 / \text{cm}^3$ に抑えることができ、移動度の低下を抑制することができ、その結果、オン電流 I_{on} (オン時のドレイン電流) が大きくなる。

【0026】

なお、しきい値電圧を高くするほど、オフリーク電流は小さくなるが、それだけでなくオン電流も小さくなるので、動作が遅くなるという問題があり、この点からしきい値電圧の上限が決まり、上記のように 0.36 V 程度とするのが適切である。

【0027】

図4は、上記のようにゲート電極が P^+ ポリシリコンで形成され、チャネル領域が N 型であり、不純物濃度が $3 \text{ E} 17 / \text{cm}^3$ であり、しきい値電圧が 0.4 V である NMOSFET の、シミュレーションによって求めた、ゲート電圧に対するドレイン電流を示す。ドレイン電圧を 50 mV とした場合が曲線 $Cg11$ で、ドレイン電圧を 1.0 V とした場合が曲線 $Cg12$ で示されている。図5は、上記と同様にゲート電極が P^+ ポリシリコンで形成され、チャネル領域が N 型であり、不純物濃度が $3 \text{ E} 17 / \text{cm}^3$ であり、しきい値電圧が 0.4 V である NMOSFET の、シミュレーションによって求めた、ドレイン電圧に対するドレ

イン電流を示す。ゲート電圧をそれぞれ0.5、0.75、1.0Vとした場合がそれぞれ曲線Cd11、Cd12、Cd13で示されている。

【0028】

いずれの場合も、比較のため従来例のドレイン電流が併せて図示されている。従来例を示す曲線Cg01、Cg02、Cd01、Cd02、Cd03は、それぞれ、本発明の場合の曲線Cg11、Cg12、Cd11、Cd12、Cd13に対応している。ここで従来例としては、チャネル領域がP型であってその不純物濃度が $2 \times 10^{18} / \text{cm}^3$ であり、ゲート電極がN型のポリシリコンで形成されており、その他の点では図1に示すものと同じものを用いている。これらの図から分かるように、本発明に係る構成を採用すると、従来例に比べ、ドレイン電流が10%以上大きくなっている。

【0029】

以下、MOSFETを構成する各部の材料、MOSFETのチャネル領域の不純物濃度について考察するため、反転層の形成で定義されるしきい値電圧を考察する。反転層の形成で定義されるしきい値電圧 V_{th} は以下の式(1)及び(2)で与えられる。

【0030】

$$V_{th} = V_{fb} + \Phi_f - q \times N_d \times T_{soi} / C_{ox} \quad \dots (1)$$

ここで、

V_{fb} はフラットバンド電圧であり、下記の式(2)で与えられる。

$$V_{fb} = W_m - W_s - Q_{ox} / C_{ox} \quad \dots (2)$$

【0031】

式(2)で、

W_m はゲート電極仕事関数であり、 P^+ 型ポリシリコンの場合には例えば約5.27Vである。

W_s はチャネル領域を構成するシリコンの仕事関数であり、約4.7Vである。

【0032】

また、式(2)の右辺の第3項において、

Q_{ox} は界面電荷密度であり、例えば単位面積当たりの固定電荷量 $4E12$ ($/cm^2$) と素電荷 $1.6E-19C$ との積 (正の値) で与えられる。したがって、

$$\begin{aligned} Q_{ox} &= 4E12 (/cm^2) \times 1.6E-19 (C) \\ &= 6.4E-7 (C/cm^2) \end{aligned}$$

である。

また、 C_{ox} はゲート酸化膜の静電容量であり、例えば $1.73E-16$ (F/cm^2) である。

【0033】

従って、式 (2) の右辺の第 3 項は、

$$\begin{aligned} Q_{ox}/C_{ox} &= 6.4E-7 (C/cm^2) / 1.73E-16 (F/cm^2) \\ &= 0.4V \end{aligned}$$

【0034】

従って、ゲート電極の材料が決まると式 (1) の右辺の第 1 項が決まる。上記の例では、右辺の第 1 項は

$$\begin{aligned} V_{fb} &= W_m - W_s - Q_{ox}/C_{ox} \\ &= 5.27 - 4.7 - 0.4 \\ &= 0.17V \end{aligned}$$

となる。

【0035】

再び式 (1) において、右辺の第 2 項の Φ_f は、チャネル領域の不純物濃度に依存する値であり、不純物濃度の上昇に伴い小さくなる。不純物濃度が略ゼロの場合は、 $0.56V$ 程度であり、不純物濃度 N_d が $3E17/cm^3$ のときは、 $\Phi_f = 0.38V$ 程度である。

【0036】

さらに、式 (1) の右辺の第 3 項において、

q は素電荷であり、 $1.6E-19C$ である。

N_d はチャネル領域 (SOI 膜ボディ) の不純物濃度濃度、

T_{soi} は SOI 膜の厚さであり、例えば $20nm$ である。

C_{ox} は上記のようにゲート酸化膜の静電容量であり、例えば 1.73×10^{-6} (F/cm^2)である。

【0037】

不純物濃度が略0の場合、 $N_d = 0$ (又は十分に小さい値)となり、式(1)の右辺の第3項は略0となり、右辺の第2項は上記のように $0.56V$ であるので、従って、そのときのしきい値電圧 V_{th} は、約 $0.73V$ となる。

【0038】

チャネル領域の不純物濃度が $3 \times 10^{17}/cm^3$ の場合、

式(1)の右辺の第3項は、

$$q \times N_d \times T_{soi} / C_{ox}$$

$$= (1.6 \times 10^{-19}) \times 3 \times 10^{17} \times 2 \times 10^{-6} / 1.73 \times 10^{-6} \quad \dots (5)$$

$$= 0.06V \text{ となり、}$$

式(1)の右辺は

$$0.17 + 0.38 - 0.06 = 0.49V$$

となる。なお、これはゲート長が比較的長い場合 ($0.4 \mu m$ 以上の場合) の数値であり、ゲート長が短い場合には、図3に示すように、ゲート長が短くなるに連れて低下する。

【0039】

また、上に示した数値は、図3で表されている数値とも若干異なるが、図3の場合には、上記の計算では省略した因子をも考慮しているためである。

【0040】

以上のように、本発明では、ゲート電極を P^+ ポリシリコンとし、チャネルをN型とし、その不純物濃度を $3 \times 10^{17}/cm^3$ 程度とすることにより、ゲート長が $0.15 \mu m$ の場合に、しきい値電圧が $0.36V$ となり、これにより正規化オフリーク電流 (I_{off}/W) を所望の値に抑制するとともに、オン電流が過度に小さくなることはないようにしている。

【0041】

即ち上記のように、しきい値電圧が $0.337V$ 以上であればオフリーク電流が十分小さい値となるが、上記の実施の形態では、ゲート長が $0.15 \mu m$ の場

合に0.36V程度のしきい値電圧が実現できる。従って、オフリーク電流が十分小さく、かつオン電流が十分に大きいMOSFETを得ることができる。

【0042】

以下上記のSOIMOSFETを備えた半導体装置の製造方法を説明する。

図6及び図7にSOI膜にMOSFETが形成された半導体装置の製造方法における各工程での断面図を示す。

【0043】

まず、シリコン基板101上に酸化膜102が位置し、その上に表面シリコン膜（後にその一部がSOI膜となる膜）203が位置する複合基板を用意する（図6（a））。そして、複合基板の表面シリコン層203を犠牲酸化し、犠牲酸化膜を除去することによって、表面シリコン層203の膜厚を調整する。この結果形成される表面シリコン層203の膜厚は例えば22nm程度である。

【0044】

次に、LOCOS（local oxidation of silicon）法又はSTI（shallow trench isolation）法により、素子分離酸化膜111を生成する（図6（b））。

なお、この際に素子分離端における寄生チャネル発生を抑制するために素子分離端にイオン注入（チャネルストップインプラ）を行うこととしても良い。

【0045】

次に、表面シリコン膜203に、NMOSのしきい値制御イオン注入を行う。このイオン注入においては、表面シリコン膜203の全体、即ちSOI膜103のチャネル領域となる部分のみならず、ソース、ドレインとなる部分にも注入される。本実施の形態では、砒素（As）を濃度が $3 \times 10^{17} / \text{cm}^3$ となるように注入する。

【0046】

次に表面シリコン層203の表面部を酸化することによりゲート酸化膜108を形成する（図6（b））。表面シリコン層のうち、酸化されなかった部分がSOI膜103となる。SOI膜103の厚さは、約20nmとされる。ゲート酸化膜の厚さは約2nmとされる。

なお、上記したしきい値制御イオン注入の前にゲート酸化膜108を形成する

こととしても良い。

【0047】

次に、 P^+ 型のポリシリコンのゲート電極107を形成する(図6(c))。ゲート電極107の不純物は例えばホウ素(B)とされ、ゲート電極107の膜厚は例えば200nm程度とされる。ゲート電極107は例えばCVDにより形成される。不純物は、CVDの際ホウ素を含む化合物例えばジボラン(B_2H_6)を同時に反応させて膜形成と同時に導入しても良く、CVDの後、イオン注入により不純物を導入することにより形成しても良い。P型のシリコン基板101を用いる本実施の形態の半導体装置において、ゲート電極107を構成するポリシリコンには、シリコン基板101に含まれるP型不純物濃度よりも高い濃度の不純物が注入されている。つまり、 P^+ 型のポリシリコンのゲート電極107となっている。

【0048】

次に、所望ゲート長のレジストパターンを用いて、エッチングを行ない、ゲート電極107及びゲート絶縁膜108をパターニングする(図6(c))。

【0049】

次に、SOI膜103のうちの、ソース及びドレインとなる領域に、イオン注入を行なってソース104及びドレイン105を形成する(図6(d))。

【0050】

次に、ゲート電極107に SiO_2 又は Si_3N_4 のサイドウォールスペーサ110を形成する(図6(d))。

なお、先にサイドウォールスペーサ110を形成し、その後、ソース104及びドレイン105を形成しても良い。

【0051】

なお、短チャネル効果抑制などの目的のために、ソース及びドレインの形成前にハロー(Halo)イオン注入を行うこととしても良い。

【0052】

次に、SOI層103上のソース104及びドレイン105の領域およびゲート電極107のシート抵抗を低減するため、 $TiSi_2$ などのシリサイド膜11

4、115、117を形成する（図7（a））。

【0053】

シリサイド膜はTiなどを堆積した後に一回目のRTA熱処理（550℃～650℃程度）を行い、未反応のTiなどを選択除去して、2回目のRTA熱処理（700℃～850℃程度）を行うことで、形成される）。

シリサイド膜としては、 $TiSi_2$ の他に $CoSi_2$ や $NiSi$ などを用いることとしても良い。

【0054】

次に、層間絶縁膜121を堆積し、次に、コンタクトホールを形成するためのエッチングを行ない、次に、コンタクトプラグ126及び127の形成及び金属配線124及び125を形成する（図7（b））。

【0055】

以上により、本実施の形態のSOIMOSFETを備えた半導体装置が作成される。

【0056】

上記の製造方法では、SOI膜に注入する不純物が一種類（Asのみ）であるので、工程数が少なく、製造が簡単である。

【0057】

なお、上記の実施の形態では、SOI膜103となる表面シリコン膜203とシリコン基板101とを有する複合基板を形成した後、SOI膜に不純物を注入しているが、SOI膜103となる表面シリコン膜203とシリコン基板（ベース基板）101とを貼り合わせるにより複合基板を形成する場合には、この貼り合わせの前に表面シリコン膜203に不純物を注入しても良い。

また、本発明におけるSOI構造を有した半導体装置において、シリコン基板101、絶縁膜102、SOI膜103から構成されるSOI基板については、絶縁膜が形成されたシリコン基板にSOI膜を貼り合わせてSOI基板とする貼り合わせ法によるものに限られず、シリコン基板101に酸素イオンを注入することで絶縁膜及びSOI膜を形成するSIMOX法を用いたものであっても良い。

【0058】

上記のSOINMOSFETではゲート長が約0.15 μ mであるが、本発明は、ゲート長が異なる値のSOINMOSFETに適用でき、特にゲート長が約0.1乃至0.25 μ mの範囲内にあるSOINMOSFETに適用したときに効果が著しい。

【0059】

【発明の効果】

以上のように本発明によれば、オフリーク電流が十分小さく、かつオン電流が十分大きく、従って動作速度も十分に速いSOIMOSFETを備えた半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態の半導体装置を示す断面図である。

【図2】 本発明の一実施の形態の半導体装置におけるSOI膜中の、チャネルの長手方向の濃度分布を示す図である。

【図3】 本発明及び従来例のMOSFETの、ゲート長としきい値電圧との関係を示す図である。

【図4】 本発明及び従来例のMOSFETの、ゲート電圧に対するドレイン電流を示す図である。

【図5】 本発明及び従来例のMOSFETの、ドレイン電圧に対するドレイン電流を示す図である。

【図6】 本発明の一実施の形態のMOSFETを含む半導体装置の製造方法における各工程での断面を示す図である。

【図7】 本発明の一実施の形態のMOSFETを含む半導体装置の製造方法における各工程での断面を示す図である。

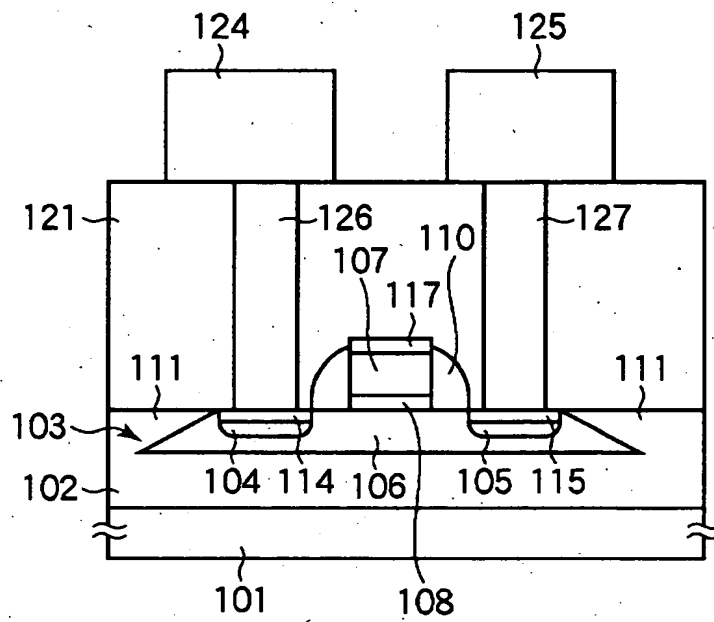
【符号の説明】

101 シリコン基板、 102 酸化膜（BOX膜）、 103 SOI膜、
104 ソース、 105 ドレイン、 106 チャネル領域、 107
ゲート電極、 108 ゲート絶縁膜。

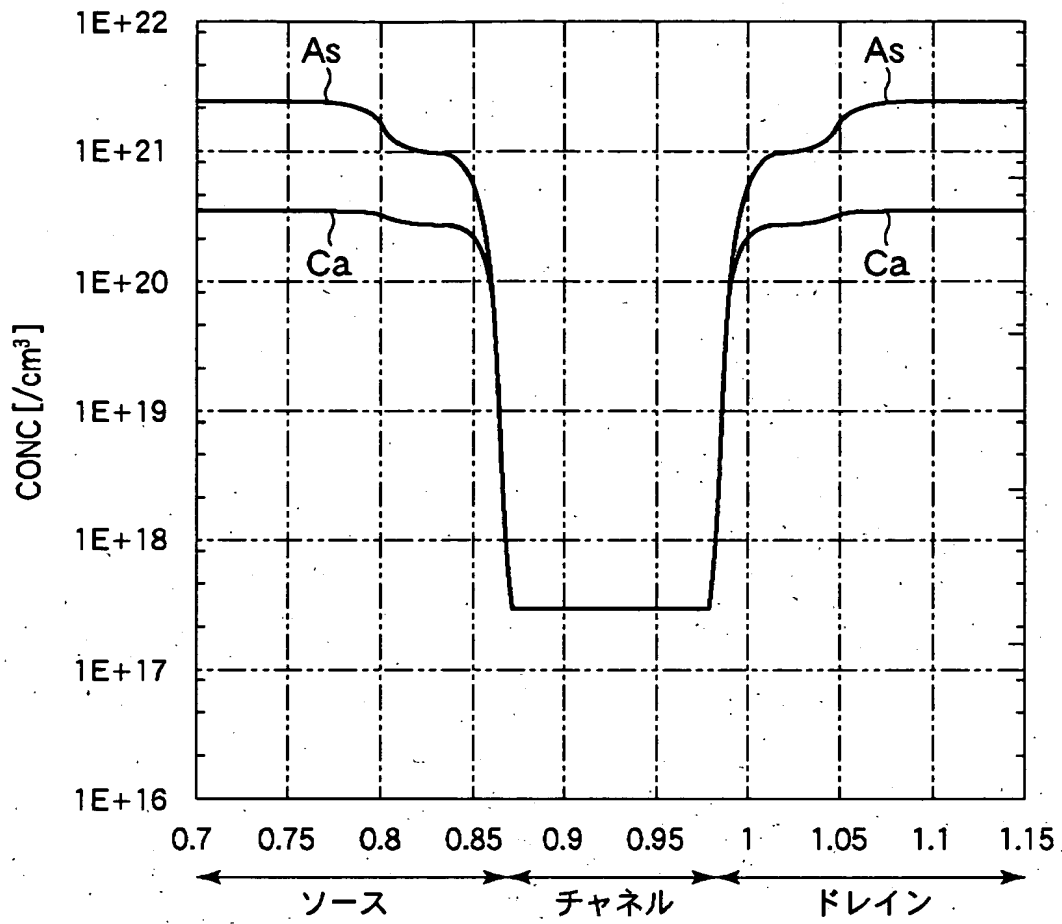
【書類名】

図面

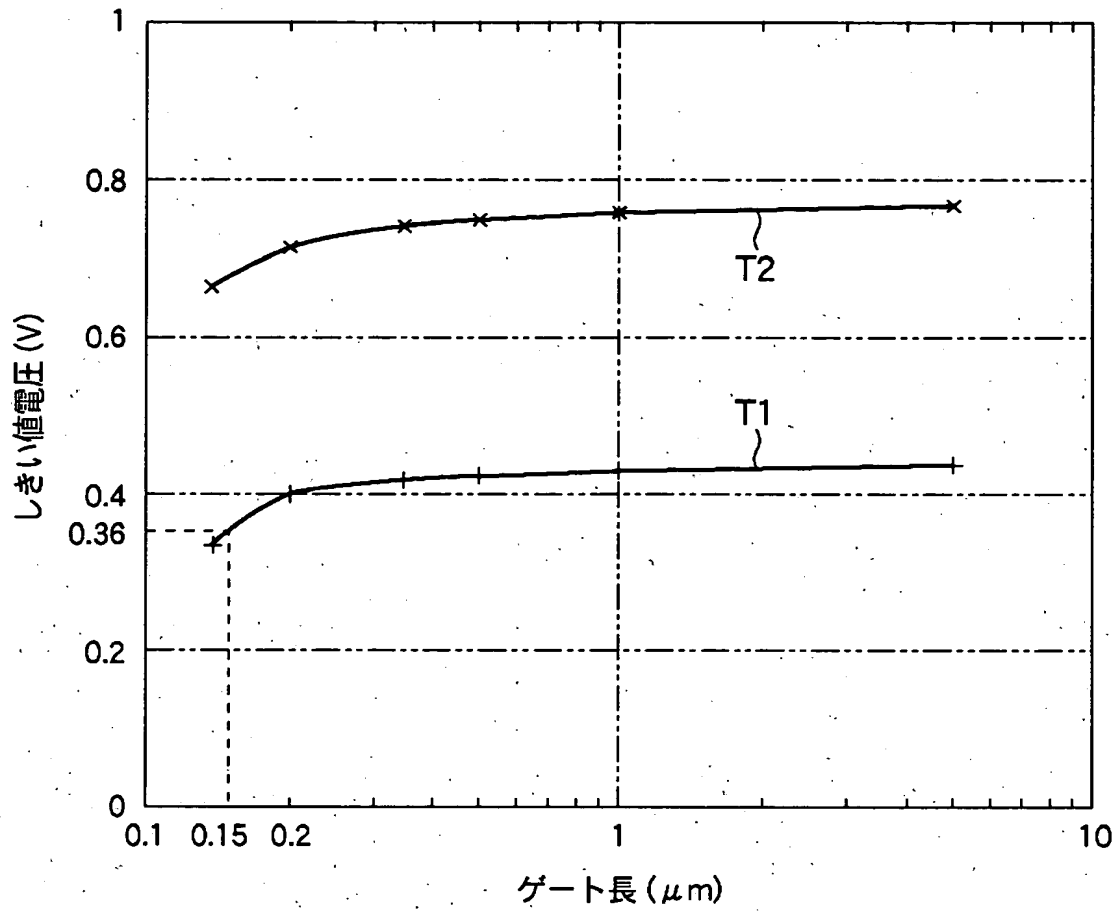
【図 1】



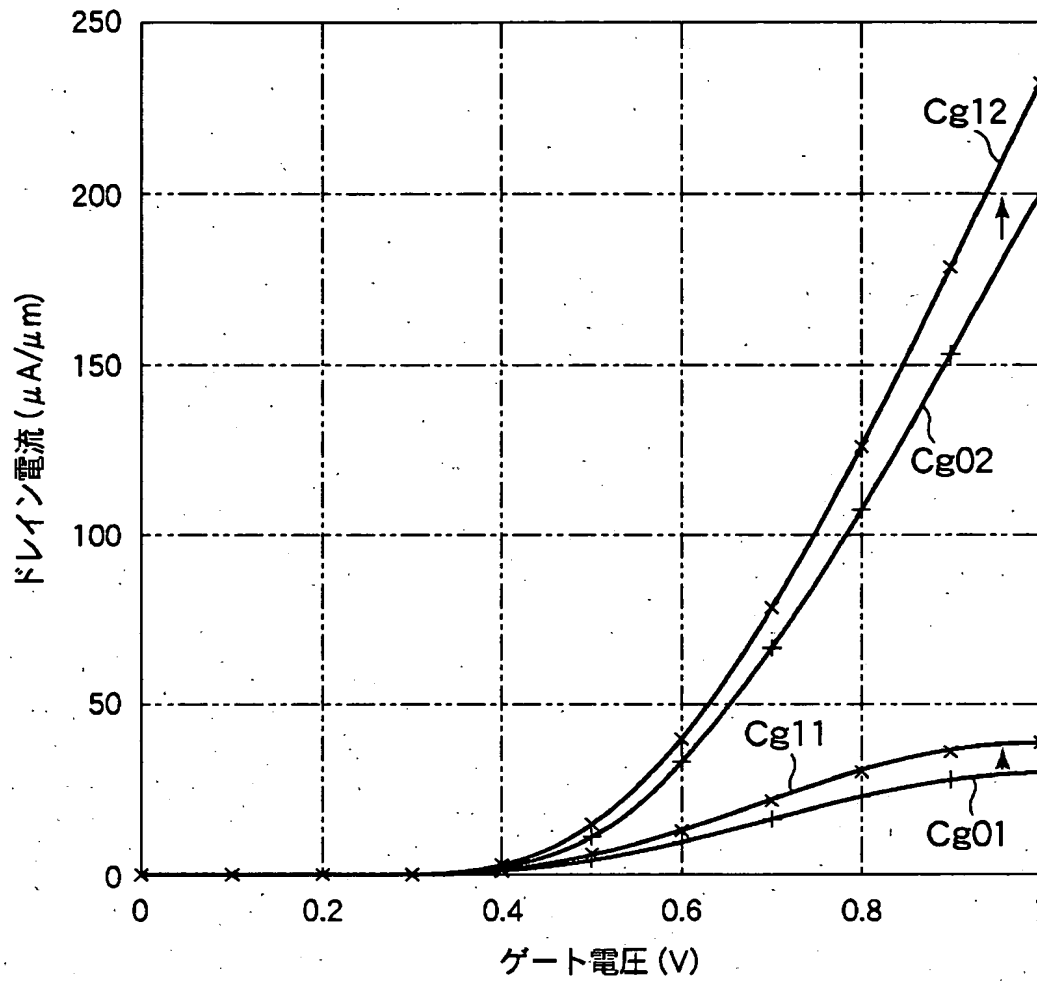
【図 2】



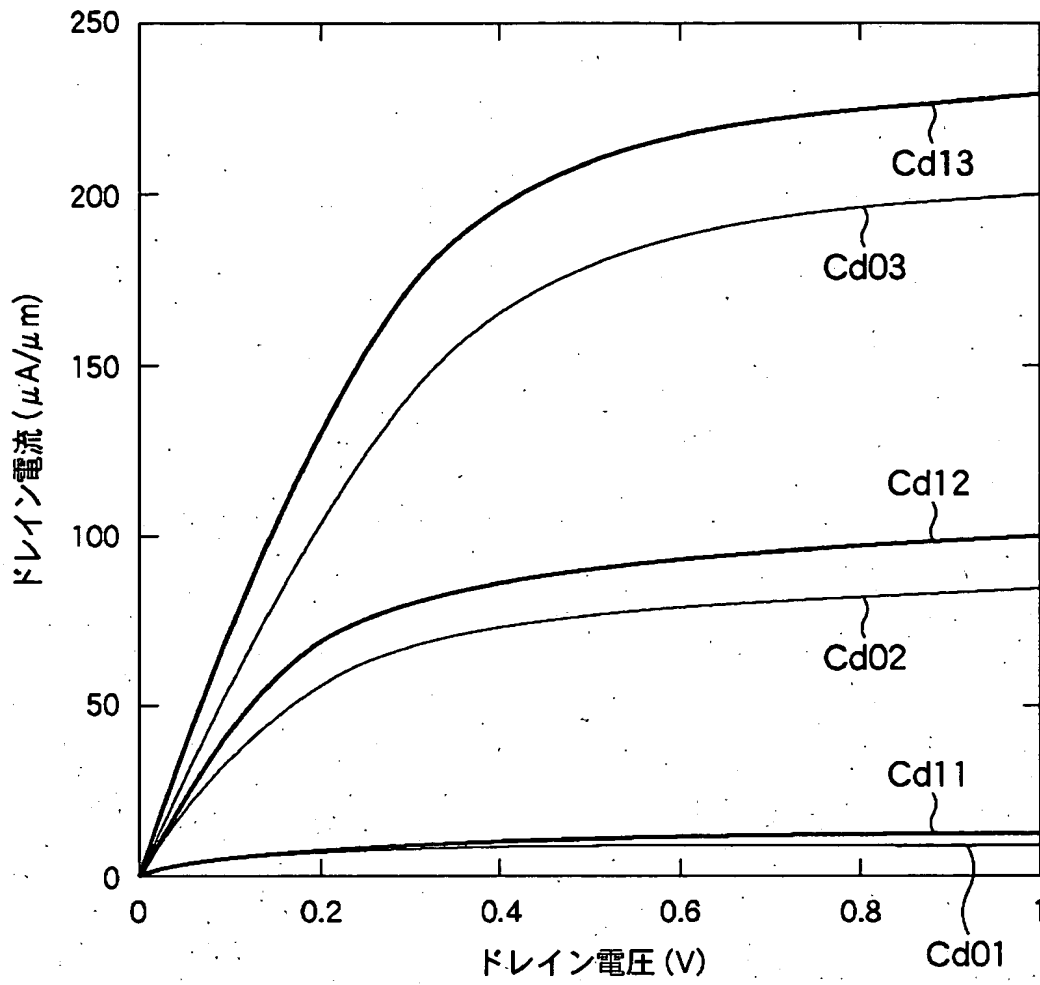
【図 3】



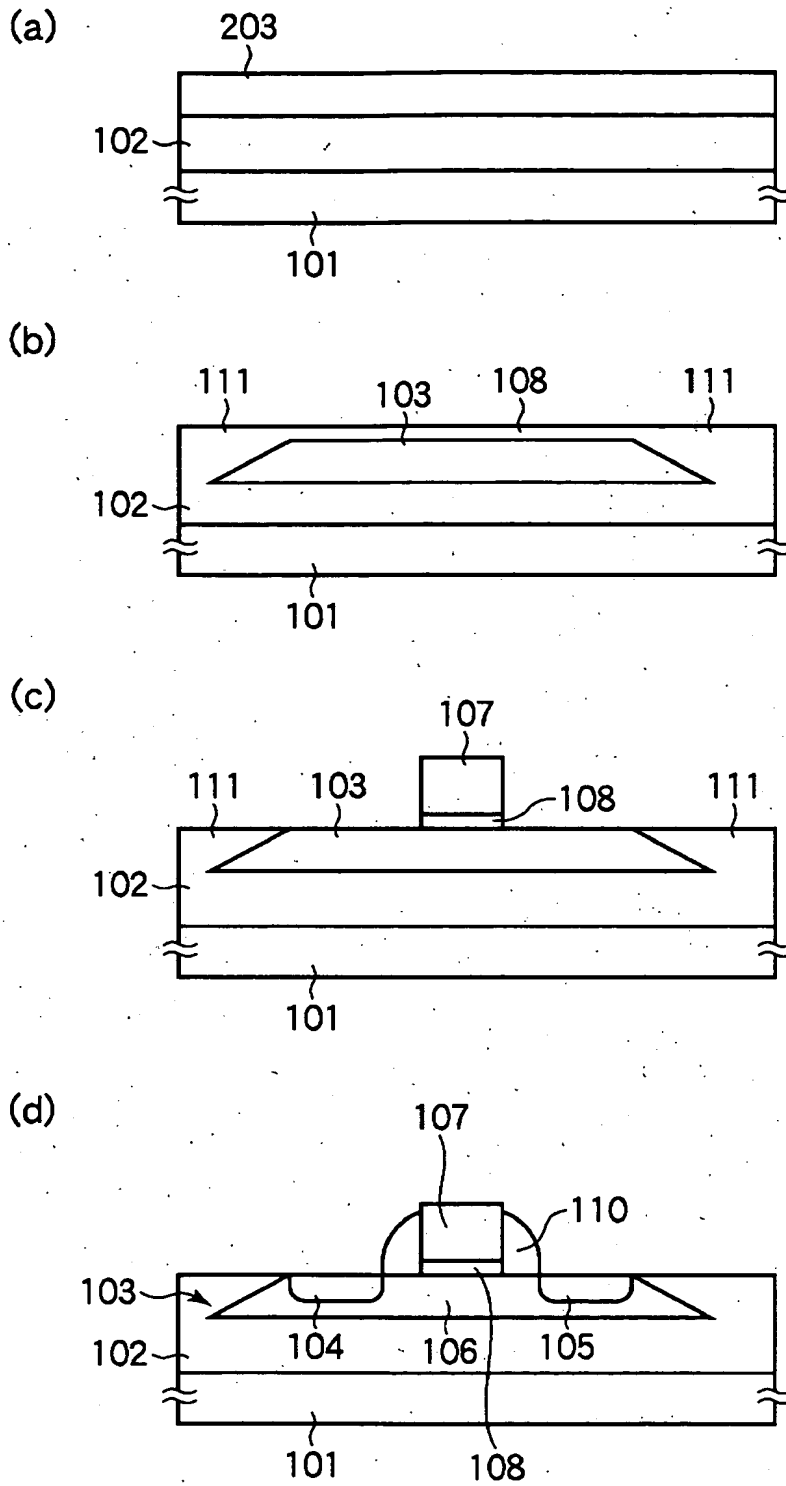
【図 4】



【図 5】

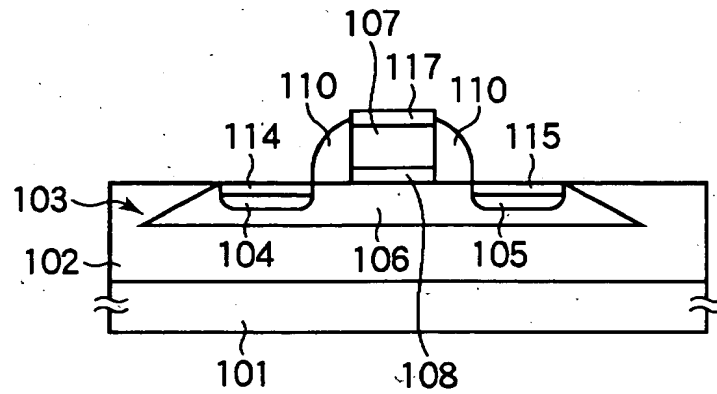


【図 6】

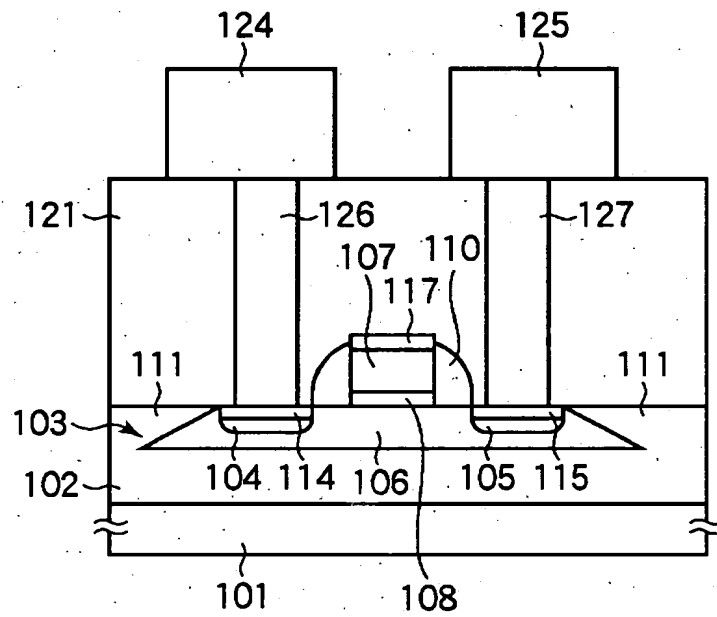


【図 7】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 SOI膜に形成された完全空乏型のNMOSFETにおいて、不純物濃度が高すぎることがないようにして、駆動能力の低下を抑制しながら、オフリーク電流を小さくする。

【解決手段】 ゲート電極が P^+ 型のポリシリコンで形成され、SOI膜のチャネル領域がN型であり、その不純物濃度が約 $3 \times 10^{17} / \text{cm}^3$ 程度である。ゲート長はゲート絶縁膜の厚さは2 nm程度であり、SOI膜の厚さは20 nm程度である。ソース及びドレインが、N型の不純物を、約 $1 \times 10^{21} / \text{cm}^3$ 以上の濃度で含む。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社